

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353071

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01G 4/40

(21)Application number : 2001-157852

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 25.05.2001

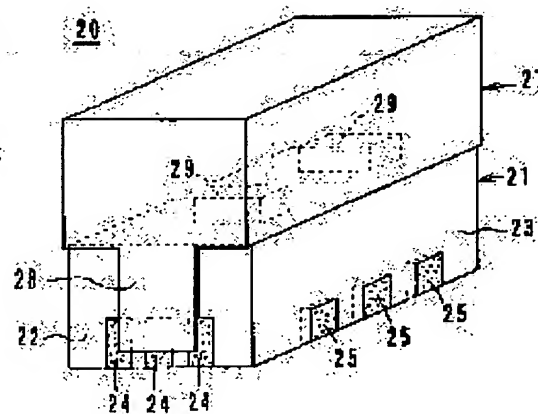
(72)Inventor : NAKAYAMA NAOKI

(54) COMPOSITE ELECTRONIC COMPONENT AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a composite electronic component which is equipped with an external electrode where the reliability on electrical connection is favorable and the junction strength with stacking elements is enough, and its manufacturing method.

SOLUTION: This high-frequency composite electronic component consists of a stack 21 and a metallic case 27. For the stack 21, circuit elements such as capacitor, etc., are built in the stack body where a plurality of ceramic green sheets are stacked, and a plurality of external electrodes 24 for grounding made at a flank 22 are connected to the terminal 28 of the metallic case 27 by soldering. The external electrode 24 is made by forming a plurality of via holes, which are given conductive material, in such a stage that the ceramic green sheet is a mother sheet, along a specified cutting line, and cutting the stack of the mother sheets along the cutting lines thereby cutting the via holes too, and then, exposing the given conductive material to the flank of the stack being cut.



LEGAL STATUS

[Date of request for examination]

20.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-353071

(P 2002-353071A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int. Cl.⁷

H01G 4/40

識別記号

F I

H01G 4/40

テーマコード* (参考)

A 5E082

審査請求 未請求 請求項の数 6

OL

(全 6 頁)

(21) 出願番号 特願2001-157852 (P2001-157852)

(22) 出願日 平成13年5月25日 (2001. 5. 25)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 中山 尚樹

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74) 代理人 100091432

弁理士 森下 武一

F ターム (参考) 5E082 AA01 CC02 CC03 DD07 FF05

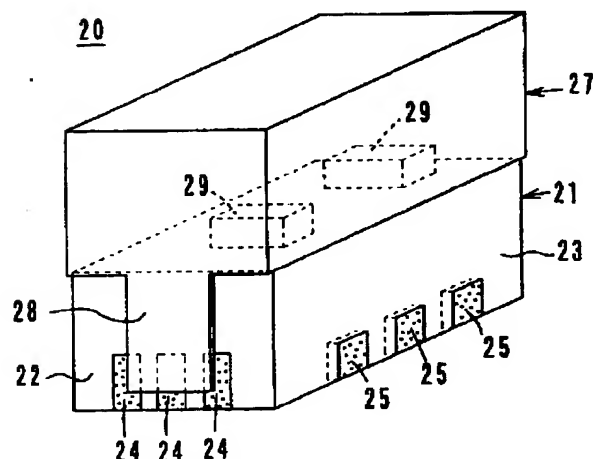
FG06 FG26

(54) 【発明の名称】 複合電子部品及びその製造方法

(57) 【要約】

【課題】 電気的接続の信頼性が良好で積層素体との接合強度も充分な外部電極を備えた複合電子部品及びその製造方法を得る。

【解決手段】 積層体 21 と金属ケース 27 とからなる高周波複合電子部品。積層体 21 は、複数のセラミックグリーンシートを積層した積層体にコンデンサ等の回路素子が内蔵され、側面 22 に形成された複数のグランド用外部電極 24 は金属ケース 27 の端子部 28 とはんだ付けによって接続されている。外部電極 24 はセラミックグリーンシートがマザーシートの段階で導電材が付与された複数のビアホールを所定のカット線に沿って形成し、該マザーシートの積層体をカット線に沿って切断することでビアホールをも切断し、付与された導電材をカットされた積層体の側面に露出させて外部電極 24 とする。



【特許請求の範囲】

【請求項 1】 内部回路素子を介在させた状態で複数の絶縁性シートが積層されてなる積層体と、内部回路素子に電氣的に接続され、積層体の側面に形成された外部電極と、積層体の上面の少なくとも一部を覆うように設けられると共に、前記外部電極に電氣的に接続された端子部を有する金属ケースと、を備えた複合電子部品であって、前記外部電極は絶縁性シートに形成されたビアホールに付与された導電材によって積層体の少なくとも一つの側面に複数設けられると共に、同一側面の複数の外部電極は金属ケースの同一端子部に電氣的に接続されていること、を特徴とする複合電子部品。

【請求項 2】 複数の前記外部電極は、互いに略平行に積層体の積層方向に延在していることを特徴とする請求項 1 に記載の複合電子部品。

【請求項 3】 複数の前記外部電極は、積層体の積層方向と略直交する方向に形成された導電材により互いに電氣的に接続されていることを特徴とする請求項 2 に記載の複合電子部品。

【請求項 4】 前記導電材は積層体の実装面に接する位置に形成されていることを特徴とする請求項 3 に記載の複合電子部品。

【請求項 5】 前記積層体の上面に、金属ケースに覆われた電子部品が搭載されていることを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 に記載の複合電子部品。

【請求項 6】 内部回路素子に電氣的に接続される導電ペーストが付与されたビアホールをマザーシートを切断するカット線に沿って形成する工程と、内部回路素子を介在させた状態で複数のマザーシートを積層する工程と、前記マザーシートの積層体を前記カット線に沿って切断することで前記ビアホールに付与されたペースト凝固体を切断し、該ペースト凝固体を積層体の少なくとも一つの側面に複数露出させて外部電極を形成する工程と、同一側面の複数の前記外部電極を、前記積層体の上面の少なくとも一部を覆う金属ケースの同一端子部に電氣的に接続する工程と、を備えたことを特徴とする複合電子部品の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、コンデンサやインダクタ等の回路素子を内蔵した複合電子部品及びその製造方法に関する。

【0002】

【従来の技術】 従来、高周波複合電子部品として、図 11 に示すように、コンデンサやインダクタ等の回路素子を内蔵した積層型基板 1 上に電子部品 9 を搭載し、金属

ケース 7 と一体化したものが知られている。この積層型基板 1 にあっては側面 2、3（対向する一方の側面も同じ）にグランド用外部電極 4 及び入出力用外部電極 5 がそれぞれ形成されており、グランド用外部電極 4 には前記金属ケース 7 の端子部 8 がはんだ付けされている。

【0003】 前記外部電極 4、5 は、本出願人が特開平 6-96992 号公報に開示したように、また、図 12 に示すように、マザーセラミックグリーンシート 10 に導電材（導電ペースト）4'、5' が充填されたビアホール 11、12 を、カット線 A、B に沿って形成し（以下、ビア充填工法と記す）、マザー積層体を該カット線 A、B に沿って切断することで、導電材 4'、5' を側面 2、3 に露出させたものである。

【0004】

【発明が解決しようとする課題】 しかしながら、外部電極 4 を形成するためのビアホール 11 は長孔形状であるため、導電ペーストの充填が過小になりやすく抜け落ちが生じ、焼成後にあっては不完全な外部電極 4 が形成され、内部の回路素子や金属ケースの端子部 8 との電氣的接続の信頼性が不十分になるおそれがあった。

【0005】 その対策として、導電ペーストの充填回数を増やすことが検討されたが、かえって充填過大となり、導電ペーストとセラミックシートとの焼成収縮率の相違から外部電極 4 にクラックが生じる問題点が発生した。

【0006】 一方、長孔形状のビアホール 11 にあっては、形成された外部電極 4 とセラミック積層素体との接触面積がどうしても小さくなり、接合強度が弱いという問題点も残されていた。

【0007】 そこで、本発明の目的は、電氣的接続の信頼性が良好で積層素体との接合強度も充分な外部電極を備えた複合電子部品及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段及び作用】 以上の目的を達成するため、本発明に係る複合電子部品は、内部回路素子を介在させた状態で複数の絶縁性シートが積層されてなる積層体と、内部回路素子に電氣的に接続され、積層体の側面に形成された外部電極と、積層体の上面の少なくとも一部を覆うように設けられると共に、前記外部電極に電氣的に接続された端子部を有する金属ケースと、を備えた複合電子部品であって、前記外部電極は絶縁性シートに形成されたビアホールに付与された導電材によって積層体の少なくとも一つの側面に複数設けられると共に、同一側面の複数の外部電極は金属ケースの同一端子部に電氣的に接続されていること、を特徴とする。

【0009】 本発明に係る前記複合電子部品は、外部電極が複数のビアホールに付与された導電材によって形成されており、各ビアホールは長孔ではなくてほぼ 4 角形

状、ほぼ円形状、ほぼ楕円形状でよく、導電材が適量付与されることになり、導電材の脱落やクラックの発生が防止され、電氣的接続の信頼性が向上する。また、外部電極と積層素体との接触面積が増加し、外部電極の接合強度が向上する。

【0010】本発明に係る前記複合電子部品において、複数の前記外部電極は、互いに略平行に積層体の積層方向に延在し、かつ、積層体の積層方向と略直交する方向に形成された導電材により互いに電氣的に接続されていてもよい。外部電極の表面積が大きくなり、金属ケースの端子部との接触面積が増大して接続の信頼性がより大きくなる。また、複数の外部電極を接続する導電材は積層体の実装面に接する位置に形成されていてもよい。金属ケースの端子部との接続の信頼性向上と共に、外部電極と実装基板のランド部とののはんだ付けが確実なものとなる。

【0011】本発明に係る複合電子部品の製造方法は、内部回路素子に電氣的に接続される導電ペーストが付与されたビアホールをマザーシートを切断するカット線に沿って形成する工程と、内部回路素子を介在させた状態で複数のマザーシートを積層する工程と、前記マザーシートの積層体を前記カット線に沿って切断することで前記ビアホールに付与されたペースト凝固体を切断し、該ペースト凝固体を積層体の少なくとも一つの側面に複数露出させて外部電極を形成する工程と、同一側面の複数の前記外部電極を、前記積層体の上面の少なくとも一部を覆う金属ケースの同一端子部に電氣的に接続する工程と、を備えたことを特徴とする。

【0012】本発明に係る前記製造方法は、外部電極を複数のビアホールに付与された導電ペーストによって形成するため、各ビアホールは長孔ではなくてほぼ4角形状、ほぼ円形状、ほぼ楕円形状でよく、導電ペーストが適量付与されることになり、焼成時におけるペースト凝固体の脱落やクラックの発生が防止され、電氣的接続の信頼性が向上する。また、外部電極と積層素体との接触面積が増加し、外部電極の接合強度が向上する。

【0013】

【発明の実施の形態】以下、本発明に係る複合電子部品及びその製造方法の実施形態について、添付図面を参照して説明する。

【0014】（第1実施形態、図1～5参照）本発明の第1実施形態である高周波複合電子部品20は、図1に示すように、コンデンサやインダクタ等の回路素子を内蔵した積層体21の上面にコンデンサ、インダクタ、ダイオード、あるいはSAWフィルタなどの電子部品29を搭載し、金属ケース27と一体化したものである。

【0015】積層体21は、複数枚のセラミックグリーンシートを積層し、圧着、切断、焼成したもので、所定のグリーンシートには導電材や抵抗材にて内部回路素子（図示せず）がパターン化されて形成されている。ま

た、積層体21の側面22、23（対向するいま一方の側面も同じ）にはグランド用外部電極24及び入出力用外部電極25がそれぞれ形成されている。

【0016】3個が側面22に露出しているグランド用外部電極24は内部回路素子と電氣的に接続されており、かつ、金属ケース27の端子部28とはんだによって接続されている。端子部28は平坦な矩形状をなし、積層体21の積層方向に延びている。入出力用外部電極25も内部回路素子と電氣的に接続されている。これらの外部電極24、25は、図示しない実装基板のランド部と例えばリフローはんだによって接続される。

【0017】3個のグランド用外部電極24は、例えば、0.3mmの幅で1mmのピッチで形成されている。なお、図1、2では、見やすくするために、外部電極24、25は実際の寸法よりも拡大して描かれている。外部電極24、25が拡大して描かれている点は以下の第2、第3実施形態でも同様である。

【0018】ここで、外部電極24、25の形成方法（ビア充填工法）について説明する。まず、図3に示すように、必要な枚数のマザーセラミックグリーンシート30に銅等を主成分とする導電材（導電ペースト）24'、25'が付与されたビアホール31、32をカット線A、Bに沿って形成する。内蔵される回路素子もこの段階で形成される。これらのシート30及び他のシートを所定枚数積層し、プレスする。その後、カット線A、Bに沿ってダイシングソー等を用いてカットし、焼成する。なお、カット工程は積層体の焼成後に行う場合もある。

【0019】以上の工程により、ビアホール31、32に充填された導電材24'、25'が外部電極24、25として側面22、23に露出した積層体21を得ることができる。

【0020】なお、図4（A）、図5（A）に示すように、ビアホール31、32に対しては導電材24'、25'が完全に充填されるように付与されてもよいし、図4（B）、図5（B）に示すように、導電材24'、25'がビアホール31、32の内壁面に付着して中央部は空洞となる状態で付与されていてもよい。また、ビアホール31、32は円形でも矩形であってもよく、さらには楕円形であってもよく、その形状は任意である。

【0021】前記積層体21において、グランド用外部電極24は、複数の比較的小さなビアホール31に付与された導電材24'によって形成されるため、導電材24'を適量付与することができ、外部電極24が焼成時に脱落することやクラックが発生することが解消され、電氣的接続の信頼性が向上する。また、外部電極24と積層素体とのトータルの接触面積が大きく、外部電極の積層素体に対する接合強度が向上する。

【0022】（第2実施形態、図6～8参照）本発明の第2実施形態である高周波複合電子部品40は、図6に

示すように、前記第1実施形態として示した高周波複合電子部品20と基本的には同じ構成をなし、同じ部品には同じ符号を付してその説明は省略する。

【0023】第1実施形態と異なるのは、グランド用外部電極24の中段部分がその幅方向に導電材24aで接続されている点である。導電材24aで接続されたグランド用外部電極24を形成するために、図8(A)に示すマザーグリーンシート30(図3に示したシート30と同じもの)と、図8(B)に示す導電材(導電ペースト)24a'を付与した長孔のビアホール36を形成したマザーグリーンシート35とを組み合わせることで積層し、積層体21を形成する。

【0024】第2実施形態において、グランド用外部電極24は実装面(積層体21の底面)から100 μ mまでは分離されており、その上から50 μ mまでが導電材24aで接続され、さらに、その上100 μ mが分離されている。各外部電極24は幅が0.3mm、ピッチが1mmであることは第1実施形態と同様である。なお、ここに示した数値は一例であることは勿論である。

【0025】第2実施形態にあつては、第1実施形態の作用効果を備えていると共に、さらに、グランド用外部電極24の表面積が導電材24aを設けた分だけ増加し、金属ケース27の端子部28とのはんだ付け強度が大きくなり、接続信頼性が向上する。

【0026】なお、導電材24aを形成する方法としては、前述のビア充填工法以外に、外部電極24を形成した積層体の側面に塗布法や印刷法等によって導電ペーストを付与してもよく、これにて複数の外部電極24を電氣的に接続することができる。

【0027】(第3実施形態、図9、10参照)本発明の第3実施形態である高周波複合電子部品50は、図9に示すように、前記第1実施形態として示した高周波電子部品20と基本的には同じ構成をなし、同じ部品には同じ符号を付してその説明は省略する。

【0028】第1実施形態と異なるのは、グランド用外部電極24の下段部分がその幅方向に導電材24bで接続されている点である。導電材24bは側面22の下端に接している。導電材24bで接続されたグランド用外部電極24を形成するためのマザーグリーンシートとしては、図8(A)、(B)に示したマザーグリーンシート30、35を組み合わせることで使用する。

【0029】なお、導電材24bを形成する方法としては、ビア充填工法以外に、外部電極24を形成した積層体の側面に塗布法や印刷法等によって導電ペーストを付与してもよいことは前述のとおりである。

【0030】第3実施形態において、グランド用外部電極24は実装面(積層体21の底面)から50 μ mまでは導電材24bで接続され、その上200 μ mが分離されている。各外部電極24は幅が0.3mm、ピッチが1mmであることは第1実施形態と同様である。なお、

ここに示した数値は一例であることは勿論である。

【0031】第3実施形態にあつては、第1、第2実施形態の作用効果を備えていると共に、さらに、導電材24bが積層体21の実装面(底面)に接する位置に形成されているため、グランド用外部電極24と実装基板(図示せず)のランド部とのはんだ付けが確実なものとなる。

【0032】(他の実施形態)なお、本発明に係る複合電子部品及びその製造方法は前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0033】特に、積層体に内蔵される回路素子はどのような種類であつてもよい。また、金属ケースの端子部に接続される外部電極は、必ずしもグランド用の電極である必要はない。

【0034】前記各実施形態において、積層体21の上面は金属ケース27によって全体的に覆われているが、金属ケース27は上面に設けた電子部品29を覆う大きさであればよく、積層体21の上面の一部が金属ケース27から露出していてもよい。

【0035】また、グランド用外部電極24は積層体21の側面22(長手方向端面)に設けるだけでなく、側面23に設けてもよい。さらに、ビアホール31、32は互いに異形状であつてもよい。

【0036】

【発明の効果】以上の説明で明らかなように、本発明によれば、導電材を適量付与できるビア充填工法によって、金属ケースの同一端子部に接続される外部電極を形成するようにしたため、電極の脱落やクラックの発生がなく、電極と積層素体との接合強度が強くなり、かつ、内部回路素子や金属ケースの端子部との接続の信頼性の良好な複合電子部品を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態である複合電子部品を示す斜視図。

【図2】図1に示した複合電子部品を構成する積層体の要部を示す立面図。

【図3】図1に示した複合電子部品を構成する積層体の製造に使用されるマザーセラミックグリーンシートを示す平面図。

【図4】図1に示した複合電子部品を構成する積層体の第1のビアホールを示す斜視図。

【図5】図1に示した複合電子部品を構成する積層体の第2のビアホールを示す斜視図。

【図6】本発明の第2実施形態である複合電子部品を示す斜視図。

【図7】図6に示した複合電子部品を構成する積層体の要部を示す立面図。

【図8】図6に示した複合電子部品を構成する積層体の製造に使用されるマザーセラミックグリーンシートを示す

す平面図。

【図 9】本発明の第 3 実施形態である複合電子部品を示す斜視図。

【図 10】図 9 に示した複合電子部品を構成する積層体の要部を示す立面図。

【図 11】従来の複合電子部品を示す斜視図。

【図 12】図 11 に示した従来の複合電子部品を構成する積層型基板の製造に使用されるマザーセラミックグリーンシートを示す平面図。

【符号の説明】

10

20, 40, 50…高周波複合電子部品

21…積層体

22…側面

24…グランド用外部電極

24a, 24b…接続用導電材

27…金属ケース

28…端子部

30, 35…マザーセラミックグリーンシート

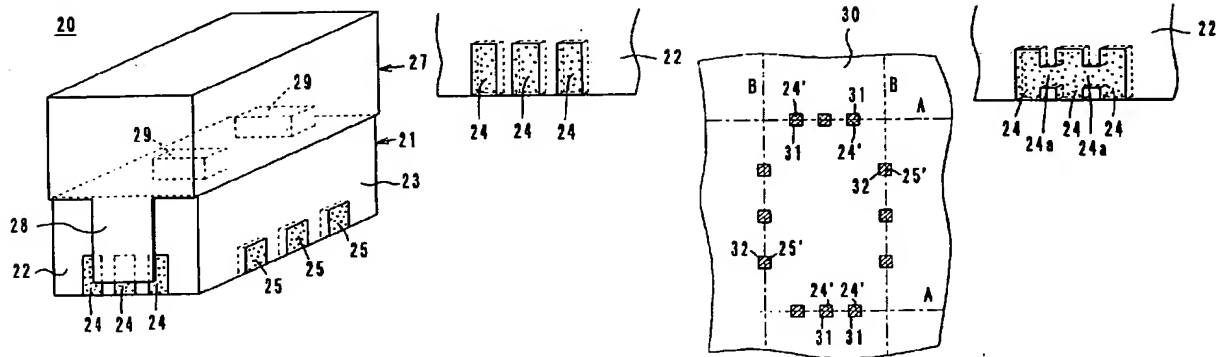
31, 36…ビアホール

【図 1】

【図 2】

【図 3】

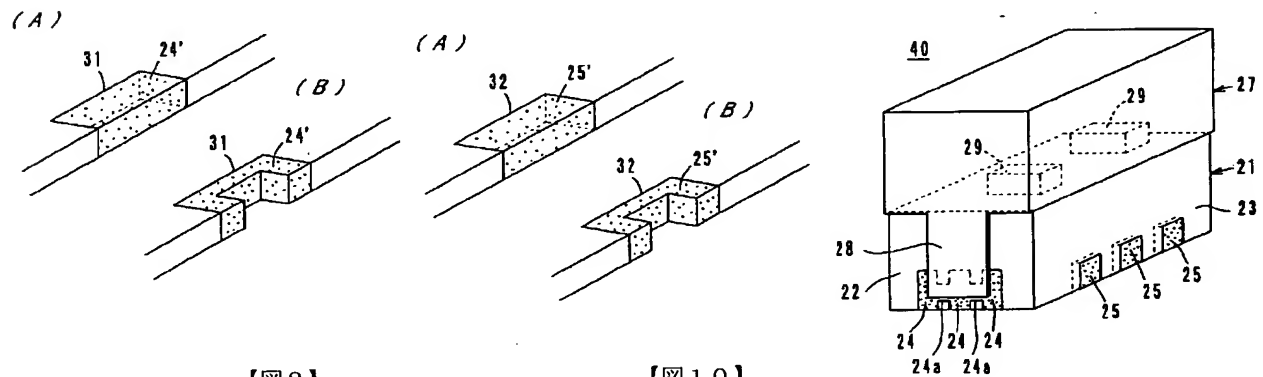
【図 7】



【図 4】

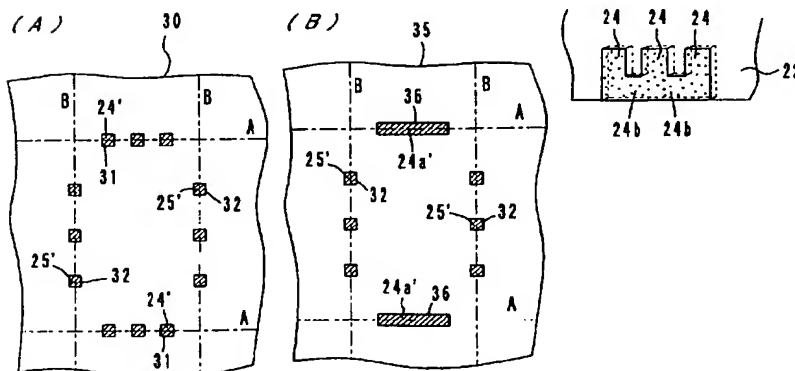
【図 5】

【図 6】

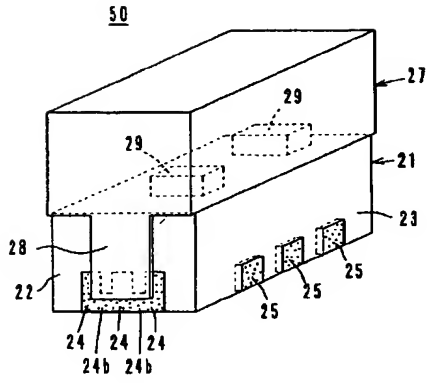


【図 8】

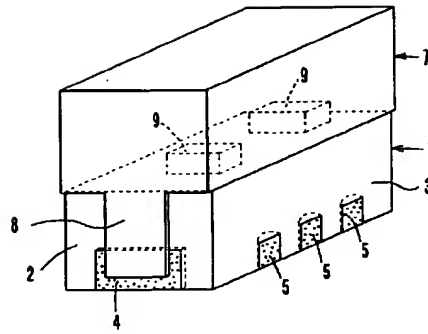
【図 10】



【図 9】



【図 11】



【図 12】

